

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-272145

(43)Date of publication of application : 03.12.1991

(51)Int.CI.

H01L 21/336
H01L 21/265
H01L 29/784

(21)Application number : 02-073042

(22)Date of filing : 22.03.1990

(71)Applicant : MATSUSHITA ELECTRON CORP

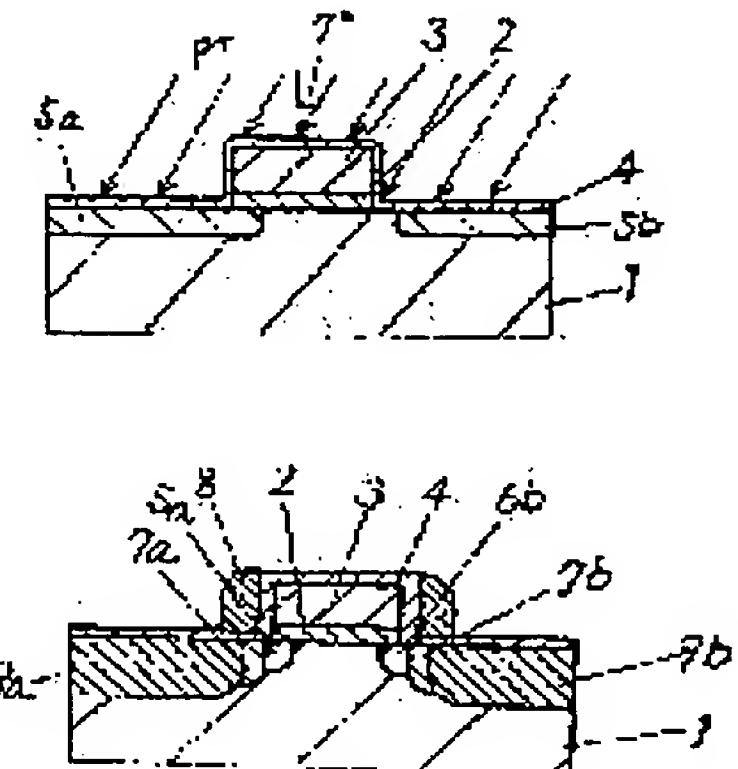
(72)Inventor : ITOU MARIKO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To contrive to improve the long-term stability of a semiconductor device by a method wherein at least one of regions of three kinds of concentrations is made to overlap with a gate electrode.

CONSTITUTION: When P+ is implanted in a silicon oxide film 4 by an ion implantation method, the incident angle of the P+ is slanted from a perpendicular plane erected on a gate electrode 3 to the left and diffused regions are formed so as to become a source and gate overlapping region 5a and a drain and gate offset region 5b. Then, when the incident angle is slanted from the perpendicular plane to the right and P+ is implanted, the diffusion phenomenon of the phosphorus impurity in the regions 5a and 5b is caused and a gate overlapping region 6b having two concentration profiles, a high-concentration drain region 7b due to the P+ and a high-concentration source region 7a due to the region 5a and the P+ are formed. Then, sidewalls 8 are respectively formed on the side surfaces of the gate electrode 3 by etching, then, a high-concentration source region 9a and a high-concentration drain region 9b are formed by an ion implantation. In such a way, the amounts of overlap of the electrode 3 with the region 5a and the electrode 3 with the region 6b can be reliably obtained, an electric field is relaxed in diffused regions having three concentration profiles and the long-term stability of a semiconductor device is enhanced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

平3-272145

⑬ Int. Cl. 5

H 01 L 21/336
21/265
29/784

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)12月3日

8422-4M H 01 L 29/78 301 L
7738-4M 21/265 V

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 半導体装置およびその製造方法

⑯ 特願 平2-73042

⑰ 出願 平2(1990)3月22日

⑱ 発明者 伊藤 麻理子 大阪府門真市大字門真1006番地 松下電子工業株式会社内

⑲ 出願人 松下電子工業株式会社 大阪府門真市大字門真1006番地

⑳ 代理人 弁理士 粟野 重孝 外1名

明細書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

(1) 半導体基板の一主面上にゲート酸化膜を介して形成されたゲート電極と、前記ゲート酸化膜およびゲート電極の側面に形成されたサイドウォールと、互いに向い合った位置に形成されたソース領域およびドレイン領域とを有する半導体装置において、前記ソース領域およびドレイン領域がそれぞれ3種類の濃度領域からなり、その3種類の濃度領域のうち少なくとも1の濃度領域が前記ゲート電極とオーバーラップしている半導体装置。

(2) 半導体基板の一主面上にゲート酸化膜を介してゲート電極を形成する工程と、前記半導体基板および前記ゲート電極上に酸化膜を形成する工程と、前記ゲート電極上にソース領域とドレイン領域が対称になるように立てた垂直面から左に7~45度の範囲の入射角度から不純物をイオン注入する工程と、前記ゲート酸化膜およ

びゲート電極の側面にサイドウォールを形成する工程と、前記半導体基板の一主面上に高濃度の不純物をイオン注入して高濃度ソース領域および高濃度ドレイン領域を形成する工程とを有する半導体装置の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、MOS型トランジスタを有する半導体装置およびその製造方法に関する。

従来の技術

近年、半導体装置の微細化に伴い、ホットキャリアによるトランジスタ特性の劣化が大きな問題になってきている。

従来の半導体装置は、第2図に示すように、シリコン基板11上に、ゲート酸化膜12、ゲート電極13を形成し、イオン注入法により磷イオン(P^+)を導入して比較的低濃度の n^- 領域14を形成し、次いでゲート電極13の側面にCVD酸化膜によるサイドウォール15を形成し、イオン注入法により As^+ を導入することにより n^- のソ

ス領域 1 6 およびドレイン領域 1 7 を形成するプロセスとなっている。

発明が解決しようとする課題

このような従来の半導体装置の製造方法では、膜質の劣るサイドウォール 1 5 に電子がトラップされ易いために n- 領域の抵抗成分が増大し、伝達特性およびドレイン電流の劣化を増長させるという課題を有していた。

本発明は上記課題を解決するもので、n- 層領域の抵抗を低減するとともにドレイン電界の緩和を実現し、ホットキャリア発生を抑制し、トラップされる電子を低減することのできる半導体装置およびその製造方法を提供することを目的とする。

課題を解決するための手段

上記目的を達成するために本発明は、半導体基板の一主面上にゲート酸化膜を介して形成されたゲート電極と、前記ゲート酸化膜およびゲート電極の側面に形成されたサイドウォールと、互いに向い合った位置に形成されたソース領域およびド

レイン領域とを有する半導体装置において、前記ソース領域およびドレイン領域がそれぞれ 3 種類の濃度領域からなり、その 3 種類の濃度領域のうち少なくとも 1 の濃度領域が前記ゲート電極とオーバーラップしている構造からなるものである。

作用

本発明は上記した構成によりそれぞれ 3 種類の濃度領域からなるソース領域およびドレイン領域のうち、少なくとも 1 の濃度領域のソース領域およびドレイン領域がゲート電極とオーバーラップしているので、オーバーラップしているゲート電極の垂直電界により抵抗成分が低減し、伝達特性およびドレイン電流の劣化が減少し、3 つの拡散領域の存在によりドレイン電界緩和効果が大きくなり、最大電界の位置がゲート電極端からゲート電極下に移動し、トラップされる電子の量が低減する。

実施例

以下、本発明の一実施例について第 1 図を参照しながら説明する。

— 3 —

— 4 —

同図 (a) に示すように、シリコジ基板 1 のような半導体基板に熱酸化法により約 170 Å 程度のゲート酸化膜 2 を形成し、CVD 法により約 4000 Å 程度の多結晶シリコン膜を成長させ、通常のフォトリソグラフィ技術によりワード線形状にバターニングエッチング技術よりワード線 (ゲート電極) 3 を形成する。

次に同図 (b) に示すように、酸化してシリコン酸化膜 4 を形成し、イオン注入法により、P⁺ (磷) を約 1.0 E 13 cm⁻² に注入するのであるが、その入射角度がゲート電極 3 上に、ソース領域となる部分とドレイン領域となる部分が対称になるように立てた垂直面から傾けて行う。同図 (b) では前述の垂直面から左に 7 度傾けた場合を示している。そして同図 (c) に示すように、ソース・ゲートオーバーラップ領域 5 a, ドレイン・ゲートオフセット領域 5 b の状態になるように形成する。

次に同じく (c) に示すように前述の垂直面から右に 7 度傾けた方向から P⁺ (磷) を約 1.0 E 13 cm⁻² 注入すると、同図 (d) に示すように、先に行っ

たソース・ゲートオーバーラップ領域 5 a とドレイン・ゲートオフセット領域 5 b 内の磷不純物の拡散現象が起こり、二つの濃度プロファイルを持つゲートオーバーラップ領域 6 b と P⁺ (磷) による高濃度ドレイン領域 7 b およびソース・ゲートオーバーラップ領域 5 a と P⁺ (磷) による高濃度ソース領域 7 a が形成される。

次に、同図 (e) に示すように減圧 CVD 法により約 2500 Å 程度の CVD 酸化膜を前記一主面上に成長させ、通常のエッチング技術によりゲート側面にサイドウォール 8 を形成する。

次にシリコン基板 1 上にイオン注入法により砒素 (As⁺) を約 5 E 15 cm⁻² 注入し、同図 (f) に示すように As⁺ による高濃度ソース領域 9 a および高濃度ドレイン領域 9 b を形成する。

以上の方針によりゲート電極 3 とソース・ゲートオーバーラップ領域 5 a および電極 3 とドレイン・ゲートオーバーラップ領域 6 b とのオーバーラップ量が十分に確保でき、3 つの濃度プロファイルを持つ拡散領域により電界が緩和されるた

— 5 —

— 6 —

め、トランジスタ特性が10%変動するまでにかかる時間は、従来の構造の約1.5~2倍となり従来構造に比べ特性変動が起こりにくくなる。

なお、前述の垂直面からの傾きの角度は、その目的により異なるが、実用的には7度から45度の範囲が有効であることを実験的に確認した。

発明の効果

以上の実施例から明らかなように、本発明によれば、半導体基板の一主面上にゲート酸化膜を介して形成されたゲート電極と、前記ゲート酸化膜およびゲート電極の側面に形成されたサイドウォールと、互いに向い合った位置に形成されたソース領域およびドレイン領域とを有する半導体装置において、前記ソース領域およびドレイン領域がそれぞれ3種類の濃度領域からなり、その3種類の濃度領域のうち少なくとも1の濃度領域が前記ゲート電極とオーバーラップしているのでオーバーラップしているゲート電極の垂直電界により抵抗成分が低減され、伝達特性およびドレイン電流の劣化を抑制することができ、また3種類の濃度

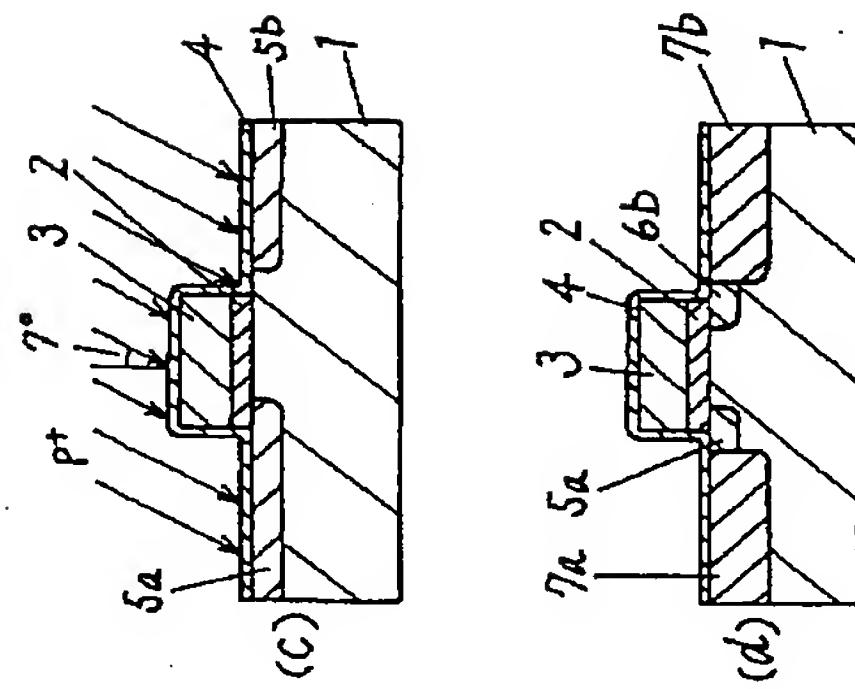
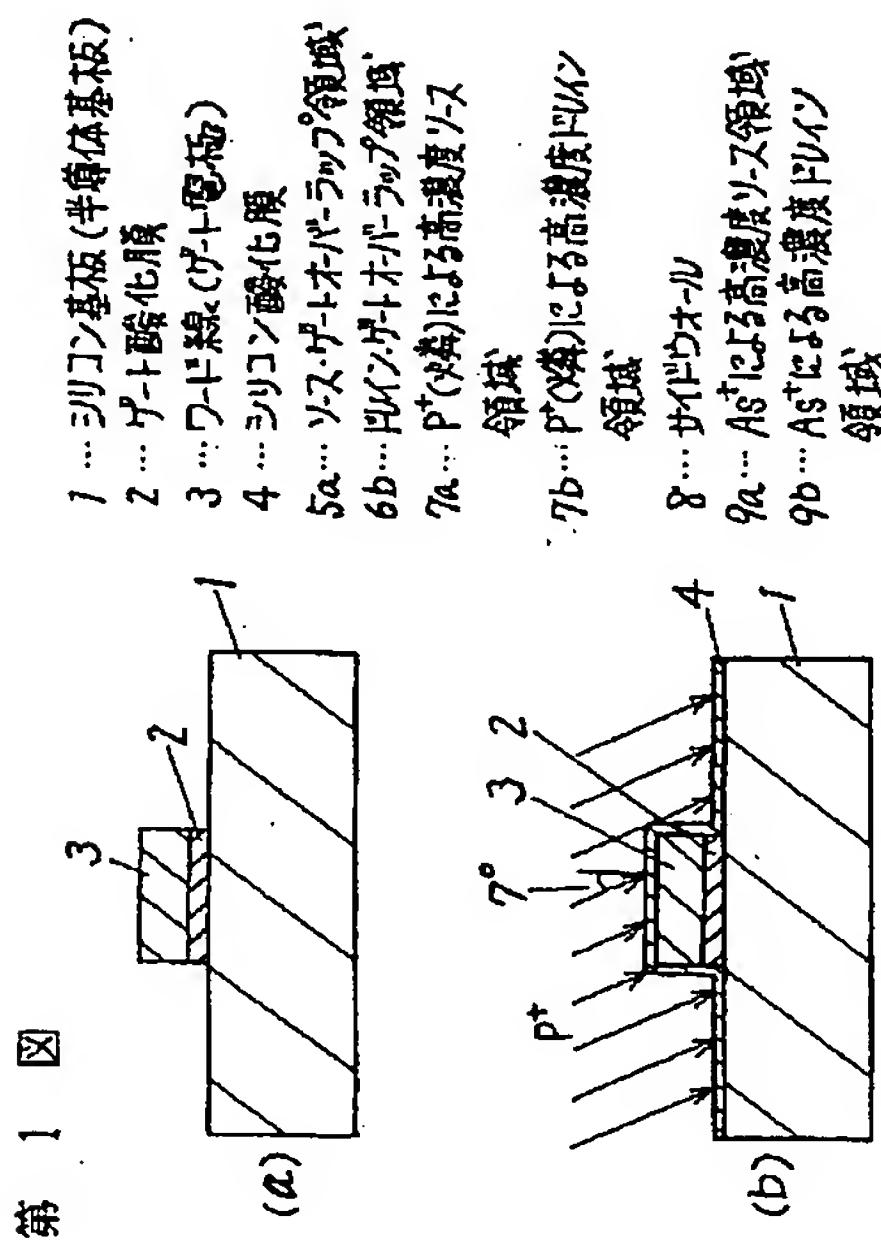
領域によりドレイン電界緩和効果がさらに大きくなり、かつ最大電界の位置をゲート電極端からゲート電極下に移動させることができるとなるため、トラップされる電子の量を低減させ、長期安定性の高い半導体装置を提供できる。

4. 図面の簡単な説明

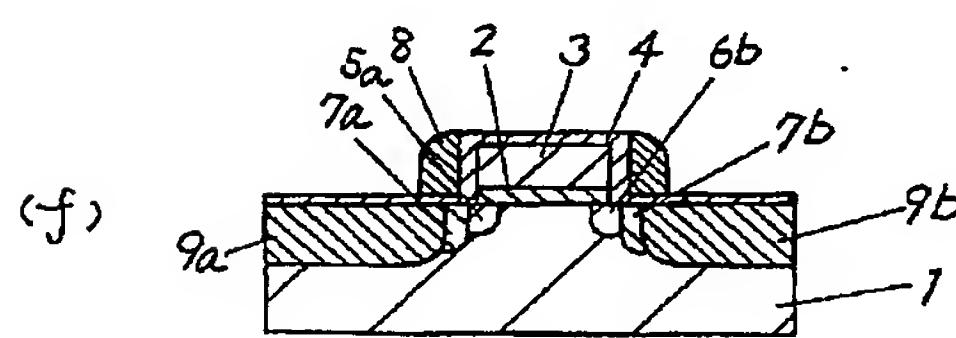
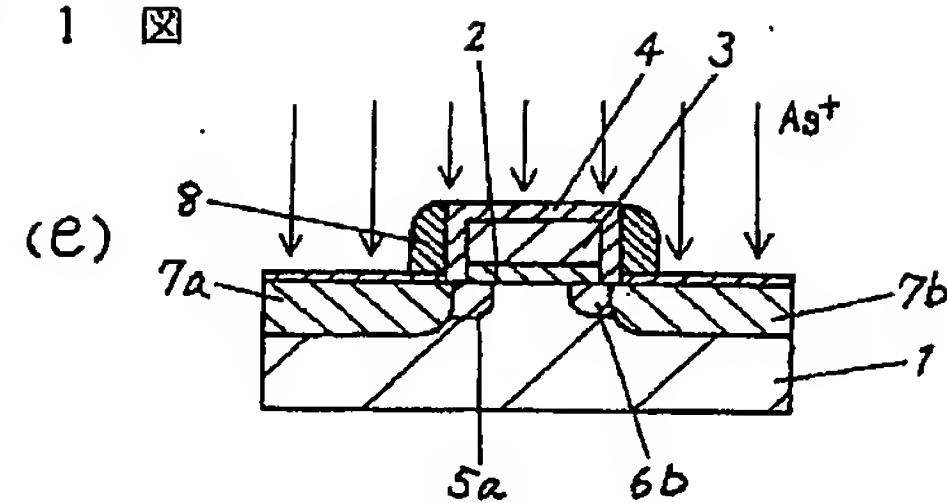
第1図(a)~(f)は本発明の一実施例の半導体装置およびその製造工程を説明する断面図、第2図は従来の半導体装置の断面図である。

1 ……シリコン基板(半導体基板)、2 ……ゲート酸化膜、3 ……ワード線(ゲート電極)、4 ……シリコン酸化膜、5a ……ソース・ゲートオーバーラップ領域、6b ……ドレイン・ゲートオーバーラップ領域、7a ……P⁺(焼)による高濃度ソース領域、7b ……P⁺(焼)による高濃度ドレイン領域、8 ……サイドウォール、9a ……As⁺による高濃度ソース領域、9b ……As⁺による高濃度ドレイン領域。

代理人の氏名 卍理士 栗野重孝 ほか1名



第 1 図



第 2 図

